

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

010056173 **Image available**

WPI Acc No: 1994-323884/199440

Related WPI Acc No: 1994-129999; 1996-479641; 1998-605355; 2001-207663;
2003-528579

XRAM Acc No: C95-064612

XRPX Acc No: N95-109974

**Method of mfg. semiconductor device - forms monocrystalline silicon from
amorphous layer using metal island crystallisation catalyst and is useful
for thin film transistors**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); SEMICONDUCTOR
ENERGY

LAB CO LTD (SEME); SEMICONDUCTOR ENERGY RES CO LTD (SEME);
FUKUNAGA T

(FUKU-I); TAKAYAMA T (TAKA-I); TAKEMURA Y (TAKE-I); UOCHI H (UOCH-I);
ZHANG H (ZHAN-I)

Inventor: TAKAYAMA T; UOCHI H; ZHANG H; FUKUNAGA T; TAKEMURA Y;
MIYANAGA A

Number of Countries: 005 Number of Patents: 023

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
TW 226478	A	19940711	TW 93110093	A	19931130	199440 B
US 5403772	A	19950404	US 93160908	A	19931203	199519
JP 7045519	A	19950214	JP 93204775	A	19930727	199516
JP 7226373	A	19950822	JP 93329760	A	19931201	199542
US 5563426	A	19961008	US 93160908	A	19931203	199646
			US 94341106	A	19941118	
CN 1090426	A	19940803	CN 93121667	A	19931204	199713
US 5604360	A	19970218	US 93160908	A	19931203	199713
			US 94248220	A	19940524	
JP 9223670	A	19970826	JP 93204775	A	19930727	199744
			JP 96356230	A	19930727	
US 5888857	A	19990330	US 93160908	A	19931203	199920
			US 94341106	A	19941118	
			US 96661013	A	19960610	
KR 9704450	B1	19970327	KR 9326648	A	19931204	199937
JP 11354813	A	19991224	JP 96356230	A	19930727	200011 N
			JP 99104651	A	19930727	
JP 2000306836	A	20001102	JP 93329760	A	19931201	200061
			JP 2000108110	A	19931201	
JP 2001060552	A	20010306	JP 99104651	A	19930727	200118 N
			JP 2000223139	A	19930727	
CN 1285611	A	20010228	CN 93121667	A	19931204	200131
			CN 2000103833	A	19931204	
CN 1152792	A	19970625	CN 93121667	A	19931204	200134
			CN 96114412	A	19931204	

JP 2001111061	A	20010420	JP 2000223139	A	19930727	200139	N
			JP 2000250453	A	19930727		
JP 3186621	B2	20010711	JP 93204775	A	19930727	200140	
			JP 96356230	A	19930727		
US 6323071	B1	20011127	US 93160908	A	19931203	200175	
			US 94341106	A	19941118		
			US 96661013	A	19960610		
			US 99233146	A	19990119		
US 6338991	B1	20020115	US 93160908	A	19931203	200208	
			US 94341106	A	19941118		
			US 96661013	A	19960610		
			US 99233146	A	19990119		
			US 99439997	A	19991115		
US 20020037609	A1	20020328	US 93160908	A	19931203	200225	
			US 94341106	A	19941118		
			US 96661013	A	19960610		
			US 99233146	A	19990119		
			US 99439997	A	19991115		
			US 2001993492	A	20011127		
CN 1348199	A	20020508	CN 96114412	A	19931204	200253	
			CN 2001133094	A	19931204		
US 20030036222	A1	20030220	US 93160908	A	19931203	200316	
			US 94266712	A	19940628		
			US 94365743	A	19941229		
			US 96688229	A	19960729		
			US 2002254546	A	20020926		
JP 3455721	B2	20031014	JP 93204775	A	19930727	200369	
			JP 2000223139	A	19930727		
			JP 2000250453	A	19930727		

Priority Applications (No Type Date): JP 93298944 A 19931104; JP 92350545 A 19921204; JP 93204775 A 19930727; JP 93147001 A 19930526; JP 96356230 A 19930727; JP 99104651 A 19930727; JP 2000223139 A 19930727; JP 2000250453 A 19930727; JP 93186891 A 19930630

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
TW 226478	A			8 H01L-021/335	
US 5403772	A			23 H01L-021/20	
JP 7045519	A			11 H01L-021/20	
JP 7226373	A			18 H01L-021/20	
US 5563426	A			21 H01L-029/76	Div ex application US 93160908 Div ex patent US 5403772
CN 1090426	A			H01L-021/324	
US 5604360	A			16 H01L-029/04	CIP of application US 93160908 CIP of patent US 5403772
JP 9223670	A			11 H01L-021/20	Div ex application JP 93204775
US 5888857	A			H01L-021/00	Div ex application US 93160908 Div ex application US 94341106

			Div ex patent US 5403772
			Div ex patent US 5563426
KR 9704450	B1	H01L-021/334	
JP 11354813	A	11 H01L-029/786	Div ex application JP 96356230
JP 2000306836	A	17 H01L-021/20	Div ex application JP 93329760
JP 2001060552	A	13 H01L-021/20	Div ex application JP 99104651
CN 1285611	A	H01L-021/00	Div ex application CN 93121667
CN 1152792	A	H01L-021/00	Div ex application CN 93121667
JP 2001111061	A	11 H01L-029/786	Div ex application JP 2000223139
JP 3186621	B2	12 H01L-021/20	Div ex application JP 93204775
			Previous Publ. patent JP 9223670
US 6323071	B1	H01L-021/00	Div ex application US 93160908
			Div ex application US 94341106
			Cont of application US 96661013
			Div ex patent US 5403772
			Div ex patent US 5563426
			Cont of patent US 5888857
US 6338991	B1	H01L-021/84	Div ex application US 93160908
			Div ex application US 94341106
			Div ex application US 96661013
			Div ex application US 99233146
			Div ex patent US 5043742
			Div ex patent US 5563426
			Div ex patent US 5888857
US 20020037609	A1	H01L-021/00	Div ex application US 93160908
			Div ex application US 94341106
			Div ex application US 96661013
			Div ex application US 99233146
			Div ex application US 99439997
			Div ex patent US 5403772
			Div ex patent US 5563426
			Div ex patent US 5888857
			Div ex patent US 6323071
CN 1348199	A	H01L-021/20	Div ex application CN 96114412
US 20030036222	A1	H01L-021/00	Div ex application US 93160908
			Div ex application US 94266712
			Cont of application US 94365743
			Div ex application US 96688229
			Div ex patent US 5403762
			Div ex patent US 5403772
			Div ex patent US 6479331
JP 3455721	B2	11 H01L-021/336	Div ex application JP 2000223139
			Previous Publ. patent JP 2001111061

Abstract (Basic): TW 226478 A

A crystalline silicon film is obtained by selectively forming films, particles or clusters containing nickel, iron, cobalt, ruthenium, rhodium, paradium, osmium, iridium, platinum, sacndium,

titanium, vanadium, chrome, manganese, copper, zinc, gold, silver or their silicides in the form of island, line, stripe, dot or film on or under an amorphous silicon film and using them as a starting point, by advancing crystallisation by annealing at a temp. lower than the normal crystallisation temp. of an amorphous silicon.

ADVANTAGE - A transistor whose leak current is low and a transistor in which mobility is high are obtained at the same time in the structuring and a dynamic circuit having a thin film transistor by selectively forming a cover film on a semiconductor layer which is to become an active layer of the transistor and by thermally crystallising afterwards.

Dwg.1/11

US 5403772 A

A method of mfg. a semiconductor device comprises selectively forming a catalyst (2) on a substrate (1A), forming an a-Si film (1) on the substrate in contact with the catalyst, and annealing in an atmos. contg. at least one of O₂, H₂ and N₂. This crystallises the a-Si film.

Also claimed is a method as above in which the catalyst is Ni or other transition metal and the Si film is patterned into an island after annealing. Further claimed is a method as above in which the catalyst is formed after the a-Si film.

Also claimed is a method as above in which the a-Si is mask coated and this coat patterned before a catalyst coating is formed, annealing forms a silicide layer, the coating is removed, an annealing crystallises the Si laterally adjacent to the silicide.

Further claimed is a method as above in which the Si film is formed over the catalyst, annealed, and then partly etched.

Also claimed is a method in which a gate insulating film and gate electrode are formed on the crystallised film and dopant diffused in using a gate mask.

Further claimed is a method as above of mfg. a CMOS device in which the semiconductor film is formed only on a driving circuit of a PMOS.

Also claimed is a method as above for mfg. a matrix type device.

USE - For thin film transistors for liq. crystal display devices.

ADVANTAGE - The transistors have low leak current yet high mobility and device area is reduced.

Dwg.2B/11

Title Terms: METHOD; MANUFACTURE; SEMICONDUCTOR; DEVICE; FORM; MONOCRYSTAL;

SILICON; AMORPHOUS; LAYER; METAL; ISLAND; CRYSTAL; CATALYST; USEFUL; THIN

; FILM; TRANSISTOR

Derwent Class: L03; U11; U12; U14

International Patent Class (Main): H01L-021/00; H01L-021/20; H01L-021/324; H01L-021/334; H01L-021/335; H01L-021/336; H01L-021/84; H01L-029/04; H01L-029/76; H01L-029/786

International Patent Class (Additional): C23C-014/34; C23C-014/58; C30B-001/00; C30B-029/06; C30B-033/02; H01L-021/02; H01L-021/203;

H01L-021/306; H01L-021/322; H01L-021/36; H01L-021/70; H01L-027/01;
H01L-027/108; H01L-027/12; H01L-029/78; H01L-031/036; H01L-031/112
File Segment: CPI; EPI

04752919 **Image available**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: 07-045519 [JP 7045519 A]

PUBLISHED: February 14, 1995 (19950214)

INVENTOR(s): CHIYOU KOUYUU

 UOJI HIDEKI

 TAKAYAMA TORU

 FUKUNAGA KENJI

 TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese
Company

 or Corporation), JP (Japan)

APPL. NO.: 05-204775 [JP 93204775]

FILED: July 27, 1993 (19930727)

INTL CLASS: [6] H01L-021/20; H01L-021/324; H01L-027/12; H01L-029/786;
 H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass
Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

ABSTRACT

PURPOSE: To provide a method of manufacturing a semiconductor element like
a thin film transistor wherein a silicon film in an actually amorphous
state is annealed and crystallized at a temperature lower than the
crystallization temperature of ordinary amorphous silicon.

CONSTITUTION: On or under an amorphous silicon 1 film, a coating film,
particles, clusters, etc., having island type, line type, stripe type, dot
type, and film type nickel, iron, cobalt, ruthenium, rhodium, palladium,
osmium, iridium, platinum, scandium, titanium, vanadium, chromium,
manganese, copper, zinc, silver, or silicide of them, etc., are selectively
formed. By performing annealing at a temperature lower than the
crystallization temperature of ordinary amorphous silicon 1,
crystallization is progressed from the silicon 1 as the starting point, and
a crystal silicon film 3 is obtained. A semiconductor element like a thin
film transistor is formed by using the crystal silicon film 3.

?

特開平7-45519

(43) 公開日 平成7年(1995)2月14日

(51) Int. Cl. ⁶

識別記号

F I

H01L 21/20

8122-4M

21/324

Z 8617-4M

27/12

R

29/786

9056-4M

H01L 29/78

311

Y

審査請求 有 請求項の数13 F D (全11頁) 最終頁に続く

(21) 出願番号

特願平5-204775

(22) 出願日

平成5年(1993)7月27日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 魚地 秀貴

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

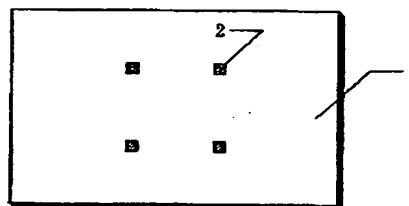
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

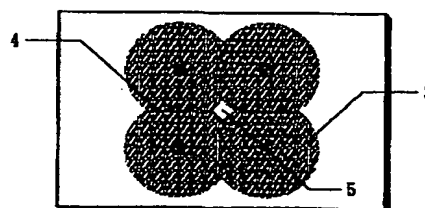
(57) 【要約】

【目的】 実質的にアモルファス状態のシリコン膜を通常のアモルファスシリコンの結晶化温度より低い温度でのアニールによって結晶化させ、薄膜トランジスタ等の半導体素子を作製する方法を提供する。

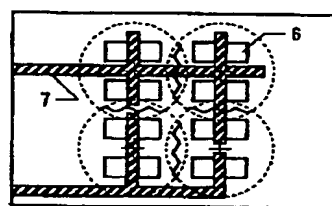
【構成】 アモルファスシリコン膜の上もしくは下に選択的に島状、線状、ストライプ状、ドット状、膜状のニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガン、銅、亜鉛、金、銀もしくはそれらの珪化物等を有する被膜、粒子、クラスター等を形成し、通常のアモルファスシリコンの結晶化温度より低い温度でアニールすることによって、これを出発点として結晶化を進展させ、結晶シリコン膜を得る。さらに、この結晶シリコン膜を用いて薄膜トランジスタ等の半導体素子を形成する。



(A)



(B)



(C)

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 基板上に選択的にニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガン、銅、亜鉛、金、銀の少なくとも1つを含有する物体を形成する第1の工程と、前記工程後、実質的にアモルファス状態のシリコン膜を形成する第2の工程と、

第2の工程の後に基板をアニールする第3の工程と、前記シリコン膜を島状にパターニングする第4の工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1において、第3の工程の以後に基板をフッ酸もしくは塩酸を含有する酸によって処理する第4の工程を有することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1において、基板をアニールすることにより、選択的に物体のある領域より横方向に結晶化を20～200 μ mの幅に成長せしめることを特徴とする半導体装置の製造方法。

【請求項4】 基板上に実質的にアモルファス状態のシリコン膜を形成する第1の工程と、

前記工程後、選択的にニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガン、銅、亜鉛、金、銀の少なくとも1つを含有する物体を形成する第2の工程と、第2の工程の後に基板をアニールする第3の工程と、前記シリコン膜を島状にパターニングする第4の工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 請求項4において、第3の工程の以後に基板をフッ酸、硝酸もしくは塩酸を含有する酸によって処理する第4の工程を有することを特徴とする半導体装置の製造方法。

【請求項6】 請求項4において、基板をアニールすることにより、選択的に物体のある領域より横方向に結晶化を20～200 μ mの幅に成長せしめることを特徴とする半導体装置の製造方法。

【請求項7】 0.01原子%以上5原子%以下の水素と、0.0005原子%以上1原子%以下のニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガン、銅、亜鉛、金、銀を有するシリコン膜上に、絶縁膜を介してゲイト電極が設けられていることを特徴とする薄膜トランジスタ。

【請求項8】 0.01原子%以上5原子%以下の水素と、0.0005原子%以上1原子%以下のニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガン、銅、亜鉛、金、銀を有するシリコン半導体によって構成されたソースおよび／

またはドレインを有することを特徴とする薄膜トランジスタ。

【請求項9】 基板上に実質的にアモルファス状態のシリコン膜を形成する第1の工程と、マスク作用を示す厚さのマスク被膜を形成する第2の工程と、

前記マスク被膜をパターニングして、シリコン膜表面を露出せしめる第3の工程と、

ニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガン、銅、亜鉛、金、銀の少なくとも1つを含有する被膜を形成する第4の工程と、

第4の工程の後に基板を熱アニールすることによって第4の工程によって形成された被膜とシリコン膜を反応させて珪化物層を形成する第5の工程と、

第4の工程で形成された被膜を除去する第6の工程とアニールすることによって前記珪化物層に隣接したシリコン膜を横方向に結晶化させる第7の工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】 基板上に選択的にニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガン、銅、亜鉛、金、銀の少なくとも1つを含有する物体を選択的に形成する第1の工程と、

前記工程後、実質的にアモルファス状態のシリコン膜を形成する第2の工程と、

第2の工程の後に基板をアニールする第3の工程と、前記シリコン膜のうち、第1の工程において、選択的に物体が形成された領域上の部分をエッチング除去する第4の工程とを有することを特徴とする半導体装置の製造方法。

【請求項11】 請求項10において、第4の工程と同時に、もしくは前後に結晶成長の成長点を含む領域をエッチングすることを特徴とする半導体装置の製造方法。

【請求項12】 基板上に実質的にアモルファス状態のシリコン膜を形成する第1の工程と、

前記工程後、選択的にニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガン、銅、亜鉛、金、銀の少なくとも1つを含有する物体を選択的に形成する第2の工程と、

第2の工程の後に基板をアニールする第3の工程と、前記シリコン膜のうち、第2の工程において、選択的に物体が形成された領域上の部分をエッチング除去する第4の工程とを有することを特徴とする半導体装置の製造方法。

【請求項13】 請求項12において、第4の工程と同時に、もしくは前後に結晶成長の成長点を含む領域をエ

ッチングすることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は、薄膜状の絶縁ゲイト型電界効果トランジスタ（薄膜トランジスタもしくはTFT）等の薄膜デバイスに用いられる結晶性半導体を得る方法に関するものである。

【 0 0 0 2 】

【従来の技術】従来、薄膜状の絶縁ゲイト型電界効果トランジスタ（TFT）等の薄膜デバイスに用いられる結晶性シリコン半導体薄膜は、プラズマCVD法や熱CVD法で形成されたアモルファスシリコン膜を電気炉等の装置の中で600℃以上の温度で24時間以上の長時間にわたって結晶化させて作製された。特に十分な特性（高い電界効果移動度や高い信頼性）を得るためにはより長時間の熱処理が求められていた。

【 0 0 0 3 】

【発明が解決しようする課題】しかしながら、このような従来の方法は多くの課題を抱えていた。1つはスループットが低く、したがって、コストが高くなることである。例えば、この結晶化工程に24時間の時間を要するものとする、基板1枚当たりの処理時間を2分とすれば720枚の基板を同時に処理しなければならなかった。しかしながら、例えば、通常使用される管状炉では、1度に処理できる基板の枚数は50枚がせいぜいで、1つの装置（反応管）だけを使用した場合には1枚当たり30分も時間がかかってしまった。すなわち、1枚当たりの処理時間を2分とするには、反応管を15本も使用しなければならなかった。このことは投資規模が拡大することと、その投資の減価償却が大きく、製品の30コストに跳ね返ることを意味していた。

【 0 0 0 4 】もう1つの問題は、熱処理の温度であった。通常、TFTの作製に用いられる基板は石英ガラスのような純粋な酸化珪素からなるものと、コーニング社7059番（以下、コーニング7059という）のような無アルカリのホウ珪酸ガラスに大別される。このうち、前者は、耐熱性が優れており、通常の半導体集積回路のウェファープロセスと同じ取扱いができるため、温度に関しては何ら問題がない。しかしながら、そのコストが高く、基板面積の増加と共に指数関数的に急激に増大する。したがって、現在のところ、比較的小面積のTFT集積回路にのみ使用されている。

【 0 0 0 5 】一方、無アルカリガラスは、石英に比べればコストは十分に低い、耐熱性の点で問題があり、一般に歪み点が550～650℃程度、特に入手しやすい材料では600℃以下であるので、600℃の熱処理では基板に不可逆的な収縮やソリという問題が生じた。特に基板が対角10インチを越えるような大きなものでは顕著であった。以上のような理由から、シリコン半導体膜の結晶化に関しては、550℃以下、4時間以内とい

う熱処理条件がコスト削減に不可欠とされていた。本発明はこのような条件をクリアする半導体の作製方法および、そのような半導体を用いた半導体装置の作製方法を提供することを目的とする。

【 0 0 0 6 】

【課題を解決するための手段】本発明は、アモルファス状態、もしくは実質的にアモルファス状態と言えるような乱雑な結晶状態（例えば、結晶性のよい部分とアモルファスの部分が混在しているような状態）にあるシリコン膜の上もしくは下にニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガン、銅、亜鉛、金、銀を含有する島状の膜やドット、粒子、クラスター、線等を形成し、これを通常のアモルファスシリコンの単なる熱処理による結晶化温度よりも低い温度で、また、より短時間のアニールをすることによって結晶性シリコン膜を得ることを特徴とする。

【 0 0 0 7 】従来のシリコン膜の結晶化に関しては、結晶性の島状の膜を核として、これを種結晶として固相エピタキシャル成長させる方法（例えば、特開平1-214110等）が提案されている。しかしながら、このような方法では、600℃以下の温度ではほとんど結晶成長が進行しなかった。シリコン系においては、一般にアモルファス状態から結晶状態に移行するには、アモルファス状態にある分子鎖を分断し、しかもその分断された分子が、再び他の分子と結合しないような状態としたうえで、何らかの結晶性の分子に合わせて、分子を結晶の一部に組み換えるという過程を経る。しかしながら、この過程のなかで、最初の分子鎖を分断して、他の分子と結合しない状態に保持するためのエネルギーが大きく、結晶化反応においてはここが障壁となっている。このエネルギーを与えるには、1000℃程度の温度で数分、もしくは600℃程度の温度では数10時間が必要であり、時間は温度（＝エネルギー）に指数関数的に依存するので、600℃以下、例えば、550℃では、結晶化反応が進行することはほとんど観測できなかった。従来の固相エピタキシャル結晶化の考えも、この問題に対する解答を与えたものではなかった。

【 0 0 0 8 】本発明人は、従来の固相結晶化の考えとは全く別に、何らかの触媒作用によって、前記の過程の障壁エネルギーを低下させることを考えた。本発明人はニッケル（元素記号Ni）、鉄（Fe）、コバルト（Co）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、スカンジウム（Sc）、チタン（Ti）、バナジウム（V）、クロム（Cr）、マンガン（Mn）、銅（Cu）、亜鉛（Zn）、金（Au）、銀（Ag）がシリコンと結合しやすい。

【 0 0 0 9 】例えば、ニッケルの場合、容易に珪化ニッ

ケル(化学式 NiSi_x 、 $0.4 \leq x \leq 2.5$)となり、かつ、珪化ニッケルの格子定数がシリコン結晶のものに近いことに着目した。そこで、結晶シリコン-珪化ニッケル-アモルファスシリコンという3元素のエネルギー等をシミュレーションした結果、アモルファスシリコンは珪化ニッケルとの界面で容易に反応して、アモルファスシリコン(シリコンA)+珪化ニッケル(シリコンB)→珪化ニッケル(シリコンA)+結晶シリコン(シリコンB)

(シリコンA、Bはシリコンの位置を示す)

という反応が生じることが明らかになった。この反応のポテンシャル障壁は十分に低く、反応の温度も低い。この反応式は、ニッケルがアモルファスシリコンを結晶シリコンに造り変えながら進行してゆくことを示している。実際には、580℃以下で、反応が開始され、450℃でも反応が観測されることが明らかになった。当然のことであるが、温度が高いほど反応の進行する速度が速い。また、同様な効果は、上記に示した他の金属元素でも認められた。

【0010】本発明では、島状、ストライプ状、線状、ドット状、膜状のニッケルを始めとする上記金属単体やそれらの珪化物など、Ni、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt、Sc、Ti、V、Cr、Mn、Cu、Zn、Au、Agの少なくとも1つを含有する膜、粒子、クラスター等を出発点として、ここからこれらの金属元素が上記の反応を伴って周囲に展開してゆくことによって、結晶シリコンの領域を拡げてゆく。なお、これらの金属元素を含有する材料としては、酸化物は好ましくない。これは、酸化物は安定な化合物で、上記反応を開始することができないからである。

【0011】このように特定の場所から拡がった結晶シリコンは、従来の固相エピタキシャル成長とは異なるが、結晶性の連続性のよい、単結晶に近い構造を有するものである。TFT等の半導体素子に利用するうえでは都合がよい。しかし、基板上に均一にニッケル他の結晶化を促進する上記金属を含む材料を設けた場合には、結晶化の出発点が無数に存在して、そのため結晶性の良好な膜を得ることは難しかった。

【0012】また、この結晶化の出発材料としてのアモルファスシリコン膜は水素濃度が少ないほど良好な結果が得られた。ただし、結晶化の進行にしたがって、水素が放出されるので、得られたシリコン膜中の水素濃度は、出発材料のアモルファスシリコン膜の水素濃度とはそれほど明確な相関は見られなかった。本発明による結晶シリコン中の水素濃度は、典型的には0.01原子%以上5原子%以下であった。

【0013】本発明ではNi、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt、Sc、Ti、V、Cr、Mn、Cu、Zn、Au、Agを用いるが、一般にこれらの材料は半導体材料としてのシリコンにとっては好ま

しくない。そこで、これを除去することが必要であるが、ニッケルに関しては、上記の反応の結果、結晶化の終端に達した珪化ニッケルはフッ酸もしくは塩酸またはこれらの希釈液に容易に溶解するので、これらの酸による処理によって基板からニッケルを減らすことができる。さらに、積極的にこれらの金属元素を減らすには、結晶化工程の終了した後、塩化水素、各種塩化メタン(CH_3Cl 、 CH_2Cl_2 、 CHCl_3)、各種塩化エタン($\text{C}_2\text{H}_5\text{Cl}$ 、 $\text{C}_2\text{H}_4\text{Cl}_2$ 、 $\text{C}_2\text{H}_3\text{Cl}_3$)、 $\text{C}_2\text{H}_2\text{Cl}_4$ 、 C_2HCl_5)あるいは各種塩化エチレン($\text{C}_2\text{H}_4\text{Cl}_2$ 、 $\text{C}_2\text{H}_2\text{Cl}_2$ 、 C_2HCl_4)等の塩素を含む雰囲気中で、400~600℃で処理すればよい。特に、トリクロロエチレン(C_2HCl_3)は使用しやすい材料である。本発明によるシリコン膜中のNi、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt、Sc、Ti、V、Cr、Mn、Cu、Zn、Au、Agの濃度は、典型的には0.005原子%以上1原子%以下であった。

【0014】本発明によって作製した結晶シリコン膜をTFT等の半導体素子に利用する上で、上記の説明から明らかなように、結晶化の終端(ここは、複数の出発点から開始された結晶化がぶつかる部分であるが)では、大きな粒界(結晶性の不連続な部分)が存在し、また、ニッケル他の結晶化を促進する金属元素の濃度が高いので、半導体素子を設けることは好ましくない。したがって、本発明を利用して半導体素子を形成するにあたっては、結晶化の出発点となるニッケル他の結晶化を促進する金属元素含有物被膜のパターンと半導体素子のパターンとを最適化しなければならない。

【0015】本発明において、結晶化を促進する金属元素のパターニングには、大きく分けて2つの方法がある。第1の方法はアモルファスシリコン膜の成膜の前にこれらの金属膜等を選択的に形成する方法である。第2の方法は、アモルファスシリコン膜成膜後にこれらの金属膜等を選択的に形成する方法である。

【0016】第1の方法においては、通常のリソグラフィの手段あるいはリフトオフの手段を用いればよい。第2の方法はやや複雑である。この場合、アモルファスシリコン膜に密着して結晶化促進の金属膜等を形成するとその成膜時に金属とアモルファスシリコンが一部反応して、珪化物が形成されてしまう。したがって、金属膜等を形成した後にパターニングをおこなう場合には、このような珪化物層も十分にエッチングすることが必要である。

【0017】第2の方法において、リフトオフ的な手法は比較的容易である。この場合、マスク材としてフォトリソグレイスト等の有機材料や酸化珪素、窒化珪素等の無機材料を用いればよい。マスク材料の選択にはプロセス温度を考慮しなければならない。また、マスク作用は材料によって異なるので、十分に注意しなければならない。特

10

20

30

40

50

に各種CVD法によって形成される酸化珪素、窒化珪素等の膜はピンホールが多く、膜厚が十分でないと、意図しない部分から結晶化が進行することがある。一般的にはこれらのマスク材料を用いて、被膜を形成した後、パターニングを施して、選択的にアモルファスシリコンの表面を露出させる。そして、結晶化を促進する金属膜等を成膜する。

【0018】本発明において、注意しなければならないことはシリコン膜中の金属元素の濃度である。量が少ないことに越したことはないが、それ以上に、常に量が一定に保たれることも重要である。すなわち、金属元素の量の変動が多ければ、製造現場でロットごとに結晶化の度合いに大きな変動が生じるからである。特に、金属元素の量が少ないことが要求されると、量の変動を小さくすることはますます困難となる。

【0019】第1の方法においては、選択的に形成された金属膜等はアモルファスシリコン膜に覆われているので、後で、それを取り出して量を加減することはできない。特に、本発明で必要とされる金属元素の量から換算すると、金属膜等の厚さは数〜数10Åという小さなもので、再現性良く成膜することは難しい。

【0020】第2の方法においても同様である。しかし、第2の方法においては結晶化を促進する金属膜等は表面に存在するので、第1の方法に比べればまだ、改善の余地はある。すなわち、十分に厚い金属膜を成膜し、アニールの前にアニール温度よりも低い温度で熱処理（プレアニール）をおこなうことによってアモルファスシリコン膜の一部と金属膜を反応させて珪化物を形成する。その後、反応しなかった金属膜をエッチングする。用いる金属の種類によるが、特にNi、Fe、Co、Ti、Crは金属膜と珪化物のエッチングレートが十分に大きいエッチャントがあるので、問題はない。

【0021】この場合には、熱処理（プレアニール）の温度と時間によって、得られる珪化物層の厚さが決定される。金属膜の厚さはほとんど関係ない。このため、アモルファスシリコン膜中に導入される非常に微量な金属元素の量を制御することができる。以下に実施例を示し、より詳細に本発明を説明する。

【0022】

【実施例】

【実施例1】 本実施例は、コーニング7059ガラス基板上の島状の複数のニッケル膜を形成し、これらを出発点としてアモルファスシリコン膜の結晶化をおこない、得られた結晶シリコン膜を用いてTFTを作製する方法について記述する。島状のニッケル膜を形成する方法には、それをアモルファスシリコン膜の上に設けるか、下に設けるかという点で2つの方法がある。図2

(A-1)は下に設ける方法であり、図2(A-2)は上に設ける方法である。特に後者について注意しなければならないことは、アモルファスシリコン膜の全面にニ

ッケルが形成された後にこれを選択的にエッチングするという工程となるので、ニッケルとアモルファスシリコンが少量ではあるが反応して、珪化ニッケルが形成されてしまう。これを残存させたままでは、本発明が目的とするような良好な結晶性のシリコン膜は得られないので、塩酸やフッ酸等で、この珪化ニッケルを十分に除去してしまうことが求められる。また、そのため、アモルファスシリコンは初期より薄くなる。

【0023】一方、前者についてはそのような問題は生じないが、この場合もエッチングによって、島状部分2以外のニッケル膜は完全に除去されることが望まれる。さらに、残存ニッケルの影響を抑えるためには、基板を酸素プラズマやオゾン等によって処理して、島状領域以外のニッケルを酸化させてしまえばよい。

【0024】いずれの場合も、基板（コーニング7059）1A上には、厚さ2000Åの下地酸化珪素膜1BをプラズマCVD法によって形成した。また、アモルファスシリコン膜1は厚さ200〜3000Å、好ましくは500〜1500Åとし、プラズマCVD法もしくは減圧CVD法によって作製した。アモルファスシリコン膜は350〜450℃で0.1〜2時間アニールすることによって水素出しをおこなって、膜中の水素濃度を5原子%以下にしておくことと結晶化しやすかった。図2(A-1)の場合には、アモルファスシリコン膜1の形成の前にスパッタ法によってニッケル膜を厚さ50〜1000Å、好ましくは100〜500Å堆積し、これをパターニングして島状ニッケル領域2を形成した。

【0025】一方、図2(A-2)の場合には、アモルファスシリコン膜1の形成の後にスパッタ法によってニッケル膜を厚さ50〜1000Å、好ましくは100〜500Å堆積し、これをパターニングして島状ニッケル領域2を形成した。この様子を上方から見た図面を図1(A)に示す。

【0026】島状ニッケルは一辺2μmの正方形で、その間隔は、5〜50μm、例えば20μmとした。ニッケルの代わりに珪化ニッケルを用いても同様な効果が得られる。また、ニッケルの成膜時には基板を100〜500℃、好ましくは180〜250℃に加熱しておくことと良好な結果が得られた。これは下地の酸化珪素膜とニッケル膜とも密着性が向上することと、酸化珪素とニッケルが反応して、珪化ニッケルが生成するためである。酸化珪素のかわりに窒化珪素、炭化珪素、珪素を用いても同様な効果が得られる。

【0027】次に、これを450〜580℃、例えば550℃で8時間窒素雰囲気中でアニールした。図2(B)は、その中間状態で、図2(A)において、端のほうにあった島状ニッケル膜からニッケルが珪化ニッケル3Aとして中央部に進行し、また、ニッケルが通過した部分3は結晶シリコンとなっている。やがて、図2(C)に示すように2つの島状ニッケル膜から出発した

結晶化がぶつかって、中間に珪化ニッケル3Aが残って、結晶化が終了する。

【0028】図1(B)は、この状態の基板を上方から見た様子を示したもので、図2(C)の珪化ニッケル3Aとは、粒界4のことである。さらにアニールを続けられ、ニッケルは粒界4に沿って移動して、これらの島状ニッケル領域(この段階では原形を留めていることはないが)の中間領域5に集まる。

【0029】以上の工程で結晶シリコンを得ることができるが、このときに生じる珪化ニッケル3Aからニッケルが半導体被膜中に拡散することは好ましくない。したがって、フッ酸もしくは塩酸でニッケルの集中している高濃度領域をエッチング除去することが望まれる。なお、フッ酸、塩酸によるエッチングでは、ニッケルおよび珪化ニッケルのエッチングレートは十分に大きいので、シリコン膜には影響を与えない。同時にニッケルの成長点があった領域をも合わせて除去した。エッチングした様子を図2(D)に示す。粒界のあった部分は溝4Aとなる。この溝を挟むようにTFTの半導体領域(活性層等)を形成することは好ましくない。TFTの配置に関しては、その例を図1(C)に示すが、半導体領域6は粒界4を横切らないように配置した。すなわち、ニッケルの左右により、被膜の厚さ方向ではなく、基板に平行な方向に横方向の結晶成長の領域にTFTを形成することである。すると、結晶の成長方向も一様に揃い、また、残存ニッケルも極めて少なくできる。結果として高いTFT特性を得ることができる。一方、ゲイト配線7は粒界4を横切ってもよい。

【0030】以上の工程で得られた結晶シリコンを用いてTFTを作製する例を図3および図4に示す。図3(A)において、中央部のXは、図2の溝4Aのあった場所を意味する。図面に示すように、このXの部分にはTFTの半導体領域が横切らないように配置した。すなわち、図2に示した工程で得られた結晶シリコン膜3をパターニングして、島状半導体領域11a、11bを形成した。そして、RFプラズマCVD法、ECRプラズマCVD法、スパッタリング法等の方法によってゲイト絶縁膜として機能する酸化珪素膜12を形成した。

【0031】さらに、減圧CVD法によって、磷が $1 \times 10^{19} \sim 5 \times 10^{19} \text{ cm}^{-3}$ ドーピングされた厚さ $3000 \sim 6000 \text{ \AA}$ の多結晶シリコン膜を形成し、これをパターニングして、ゲイト電極13a、13bを形成した。

(図3(A))

【0032】次に、プラズマドーピング法によって不純物ドーピングをおこなった。ドーピングガスとしては、例えば、N型にはフォスフィン(PH_3)を、P型にはジボラン(B_2H_6)を用いた。図ではN型TFTを示す。加速電圧は、フォスフィンが 80 keV 、ジボランは 65 keV とした。さらに 550°C で4時間アニールすることによって、不純物の活性化をおこない、不純物領域

14a~14dを形成した。活性化にはレーザーアニールもしくはフラッシュランプアニールのような光エネルギーを使用する方法も用いることができる。(図3(B))

【0033】最後に、通常のTFT作製と同様に層間絶縁物15として、厚さ 5000 \AA の酸化珪素膜を堆積し、これにコンタクトホールを形成してソース領域、ドレイン領域に配線・電極16a~16dを形成した。

(図3(C))以上の工程によってTFT(図ではNチャネル型)が作製された。得られたTFTの電界効果移動度はNチャネル型で $40 \sim 60 \text{ cm}^2/\text{Vs}$ 、Pチャネル型で $30 \sim 50 \text{ cm}^2/\text{Vs}$ であった。

【0034】図4には、アルミニウムゲイトのTFT作製をおこなった場合を示す。図4(A)において、中央部のXは、図2の溝4Aのあった場所を意味する。図面に示すように、このXの部分にはTFTの半導体領域が横切らないように配置した。すなわち、図2に示した工程で得られた結晶シリコン膜3をパターニングして、島状半導体領域21a、21bを形成した。そして、RFプラズマCVD法、ECRプラズマCVD法、スパッタリング法等の方法によってゲイト絶縁膜として機能する酸化珪素膜22を形成した。プラズマCVD法を採用する場合には、原料ガスはTEOS(テトラ・エトキシ・シラン)と酸素を用いると好ましい結果が得られた。そして、1%のシリコンを含むアルミニウム膜(厚さ 5000 \AA)をスパッタ法によって堆積し、これをパターニングしてゲイト配線・電極23a、23bを形成した。

【0035】次に、基板を3%の酒石酸のエチレングリコール溶液に浸し、白金を陰極として、アルミニウム配線を陽極とし、これに電流を流して陽極酸化をおこなった。電流は最初は、 2 V/分 で電圧が上昇するように印加し、 220 V に達したところで電圧を一定とし、電流が $10 \mu\text{A}/\text{m}^2$ 以下になったところで電流を停止した。この結果、厚さ 2000 \AA の陽極酸化物24a、24bが形成された。(図4(A))

【0036】次に、プラズマドーピング法によって不純物ドーピングをおこなった。ドーピングガスとしては、N型にはフォスフィン(PH_3)を、P型にはジボラン(B_2H_6)を用いた。図にはNチャネル型TFTを示す。加速電圧は、フォスフィンが 80 keV 、ジボランは 65 keV とした。さらにこれをレーザーアニールすることによって、不純物の活性化をおこない、不純物領域25a~25dを形成した。使用したレーザーは、KrFレーザー(波長 248 nm)で、 $250 \sim 300 \text{ mJ}/\text{cm}^2$ のエネルギー密度のレーザー光を5ショット照射した。(図4(B))

【0037】最後に、通常のTFT作製と同様に層間絶縁物26として、厚さ 5000 \AA の酸化珪素膜を堆積し、これにコンタクトホールを形成してソース領域、ドレイン領域に配線・電極27a~27dを形成した。

(図4(C))

得られたTFTの電界効果移動度はNチャネル型で $60 \sim 120 \text{ cm}^2/\text{Vs}$ 、Pチャネル型で $50 \sim 90 \text{ cm}^2/\text{Vs}$ であった。また、このTFTを用いて作製されたシフトレジスタではドレイン電圧17Vで6MHz、20Vで11MHzでの動作が確認された。

【0038】〔実施例2〕 図5には、図4と同様にアルミニウムゲートのTFT作製をおこなった場合を示す。ただし、ここではアモルファスシリコンを活性層として用いた。図5(A)に示すように、基板31上に下地酸化珪素膜32を堆積し、さらに厚さ $2000 \sim 3000 \text{ Å}$ のアモルファスシリコン膜33を堆積した。アモルファスシリコン膜には適当な量のP型もしくはN型不純物を混入させておいてもよい。そして、上記に示したように島状のニッケルもしくは珪化ニッケル被膜34A、34Bを形成し、この状態で 550°C 、8時間または 600°C 、4時間アニールすることによってアモルファスシリコン膜を横成長により結晶化させた。

【0039】次に、このようにして得られた結晶シリコン膜を図5(B)に示すようにパターニングした。このとき、図の中央部(ニッケルもしくは珪化ニッケル被膜34A、34Bの中間部)のシリコン膜にはニッケルが多量に含まれているので、これを除くようにパターニングして、島状シリコン領域35A、35Bを形成した。さらに、その上に実質真性なアモルファスシリコン膜36を堆積した。その後、図5(C)に示すようにゲイト絶縁膜37として窒化珪素、酸化珪素等の材料で被膜を形成し、ゲイト電極38をアルミニウムによって形成し、図4の場合と同様に陽極酸化をおこない、イオンドーピング法によって不純物を拡散させて不純物領域39A、39Bを形成する。さらに、層間絶縁物40を堆積し、コンタクトホールを形成し、金属電極41A、41Bをソース、ドレインに形成してTFTが完成する。このTFTでは活性層の厚さに比べて、ソース、ドレインの部分の半導体膜が厚く、また、抵抗率が小さいことが特徴で、この結果、ソース、ドレイン領域の抵抗が減少し、TFTの特性が向上する。また、コンタクトの形成も容易である。

【0040】〔実施例3〕 図6には、CMOS型のTFT作製をおこなった場合を示す。図6(A)に示すように、基板51上に下地酸化珪素膜52を堆積し、さらに厚さ $1000 \sim 1500 \text{ Å}$ のアモルファスシリコン膜53を堆積した。そして、上記に示したように島状のニッケルもしくは珪化ニッケル被膜54を形成し、この状態で 550°C でアニールする。この工程によって、珪化シリコン領域55が被膜の厚さ方向ではなく、平面方向に移動し、結晶化が進行する。4時間のアニールによって、図6(B)に示すように、アモルファスシリコン膜は結晶シリコンに変化する。また、結晶化の進行によって珪化シリコン59A、59Bは端に追いやられる。

【0041】次に、このようにして得られた結晶シリコン膜を図6(B)に示すようにパターニングして島状シリコン領域56を形成した。このとき、島状領域の両端はニッケルの濃度が大きいことに注意すべきである。島状シリコン領域形成後、ゲイト絶縁膜57、ゲイト電極58A、58Bを形成した。

【0042】その後、図5(C)に示すように、イオンドーピング法によって不純物を拡散させてN型の不純物領域60AとP型の不純物領域60Bを形成する。この際には、例えば、N型不純物として磷(ドーピングガスはフォスフィン PH_3)を用い、 $60 \sim 110 \text{ kV}$ の加速電圧で全面にドーピングをおこない、次に、フォトリソでNチャネル型TFTの領域を覆って、P型不純物、例えばホウ素(ドーピングガスはジボラン B_2H_6)を用い、 $40 \sim 80 \text{ kV}$ の加速電圧でドーピングすればよい。

【0043】ドーピング終了後、図4の場合と同様にレーザー光の照射によって、ソース、ドレインの活性化をおこない、さらに、層間絶縁物61を堆積し、コンタクトホールを形成し、金属電極62A、62B、62Cをソース、ドレインに形成してTFTが完成する。

【0044】〔実施例4〕 図7に本実施例を示す。本実施例は、ニッケル膜とアモルファスシリコン膜の一部を最初の熱処理(プレアニール)によって反応させて珪化物を得て、さらに未反応のニッケル膜を除去してから、アニールをおこなうて、結晶化させる方法に関するものである。

【0045】基板(コーニング7059番)701上に、下地の酸化珪素膜(厚さ 2000 Å)をスパッタ法によって形成した。そして、プラズマCVD法によって、厚さ $300 \sim 800 \text{ Å}$ 、例えば 500 Å のシリコン膜703を成膜した。さらに、プラズマCVD法によって酸化珪素膜704を形成した。この酸化珪素膜704はマスク材となる。厚さは $500 \sim 2000 \text{ Å}$ が好ましかった。あまりに薄いとピンホールによって意図しない箇所から結晶化が進行し、また、厚すぎると成膜に時間がかかり、量産に適さない。ここでは 1000 Å とした。

【0046】その後、公知のフォトリソグラフィ工程によって酸化珪素膜704をパターニングした。そして、スパッタ法によってニッケル膜(厚さ 500 Å)705を形成した。ニッケル膜の厚さは 100 Å 以上が好ましかった。(図7(A))そして、窒素雰囲気中で $250 \sim 450^\circ\text{C}$ で10～60分アニールした(プレアニール工程)。例えば、 450°C で20分アニールした。この結果、アモルファスシリコン中に珪化ニッケル層706が形成された。この層の厚さは、プレアニールの温度と時間によって決定され、ニッケル膜705の厚さはほとんど関与しなかった。(図7(B))

【0047】その後、ニッケル膜をエッチングした。エ

ッチングには硝酸系もしくは塩酸系の溶液が適していた。これらのエッチャントでは、ニッケル膜のエッチング中には、珪化ニッケル層はほとんどエッチングされなかった。本実施例では硝酸に緩衝剤として酢酸を加えたエッチャントを用いた。比率は硝酸：酢酸：水＝１：１０：１０とした。ニッケル膜を除去した後、５５０℃、４～８時間アニールした（結晶化アニール工程）。

【００４８】結晶化アニール工程においてはいくつかの方法を試みた。第１の方法は、図７（Ｃ）のようにマスク材７０４を残したままおこなう方法である。結晶化は図７（Ｃ）の矢印のように進行する。第２は、マスク材を全て除去して、シリコン膜を露出させてアニールをおこなう方法である。第３は、図７（Ｄ）のようにマスク材を除去したのち、新たに酸化珪素や窒化珪素の被膜７０７を保護膜としてシリコン膜表面に形成したのちアニールをおこなう方法である。

【００４９】第１の方法は簡単な方法であるが、プレアニールの段階でマスク材７０４の表面がニッケルと反応しており、これがより高温の結晶化アニール工程で珪酸塩となり、エッチングがしづらくなる。すなわち、シリコン膜とマスク材７０４のエッチングレートがほぼ同じ程度になるため後のマスク材の除去の際に、シリコン膜の露出された部分も大きくエッチングされ、基板上に段差が生じる。

【００５０】第２の方法は極めて簡単であり、結晶化アニール工程前であれば、ニッケルとマスク材の反応が緩やかであるのでエッチングも容易である。しかし、結晶化アニールの際にシリコン表面が全面的に露出されているので、後にＴＦＴ等を作製した場合の特性が悪化した。

【００５１】第３の工程は確実に良質の結晶シリコン膜が得られるのであるが、工程が増えて複雑であった。第３の方法の改良した第４の方法として、シリコン表面を露出した状態で炉に投入し、最初に５００～５５０℃で１時間程度、酸素気流中で加熱することによって表面に２０～６０Åの薄い酸化珪素膜を形成し、そのまま、窒素気流に切り換えて結晶化アニール条件とする方法を検討した。この方法では、結晶化の初期段階に酸化膜が形成され、しかも、この酸化の段階では珪化ニッケル層のごく近傍が結晶化されているだけで、後にＴＦＴに使用する領域（図の右の部分）では結晶化が起こっていなかった。このため、特に珪化ニッケル層７０６から遠い領域ではシリコン膜の表面が非常に平坦であった。特性は、第２の方法よりも向上し、ほぼ第３の方法と同じであった。

【００５２】このようにして結晶シリコン膜を得た。その後、シリコン膜７０３をパターニングした。かくして、ニッケルの高濃度の値の部分（成長元のある領域）、および成長点（図の矢印の先端の斜線部）を除去して、ニッケルの低濃度領域のみを残存させた。かくし

て、ＴＦＴの活性層に用いる島状のシリコン領域７０８を形成した。そして、これを覆って、厚さ１２００Åの酸化珪素のゲイト絶縁膜７０９をプラズマＣＶＤ法によって形成した。さらに、磷ドープシリコン膜（厚さ６０００Å）によってゲイト電極７１０と第１層の配線７１１を形成し、ゲイト電極７１０をマスクとして自己整合的に不純物を活性層７０８に注入し、ソース／ドレイン領域７１２を形成した。この後、可視・近赤外の強光を照射し、さらに結晶性を高めることは有効である。さらに、酸化珪素膜（厚さ６０００Å）をプラズマＣＶＤ法によって形成し、層間絶縁物７１３とした。最後に、この層間絶縁物にコンタクトホールを形成し、アルミニウム膜（厚さ６０００Å）によって第２層配線７１４、ソース／ドレイン電極・配線７１５を形成した。以上の工程によって、ＴＦＴが完成された。（図７（Ｅ））

【００５３】

【発明の効果】以上、述べたように、本発明はアモルファスシリコン結晶化の低温化、短時間化を促進するという意味で画期的なものであり、また、そのための設備、装置、手法は極めて一般的で、かつ量産性に優れたものである。実施例ではニッケルを中心に説明をおこなったが、同様な工程は、その他の結晶化促進金属元素、すなわち、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt、Sc、Ti、V、Cr、Mn、Cu、Zn、Au、Agのいずれにも適用できるものである。

【００５４】例えば、従来の固相成長法においては、少なくとも２４時間のアニールが必要とされたために、１枚当たりの基板処理時間を２分とすれば、アニール炉は１５本も必要とされたのであるが、本発明によって、４時間以内に短縮することができたので、アニール炉の数を１／６以下に削減することができる。このことによる生産性の向上、設備投資額の削減は、基板処理コストの低下につながり、ひいてはＴＦＴ価格の低下とそれによる新規需要の喚起につながるものである。このように本発明は工業上、有益であり、特許されるにふさわしいものである。

【図面の簡単な説明】

【図１】 実施例の工程の上面図を示す。（結晶化とＴＦＴの配置）

【図２】 実施例の工程の断面図を示す。（選択的に結晶化する工程）

【図３】 実施例の工程の断面図を示す。（実施例１参照）

【図４】 実施例の工程の断面図を示す。（実施例１参照）

【図５】 実施例の工程の断面図を示す。（実施例２参照）

【図６】 実施例の工程の断面図を示す。（実施例３参照）

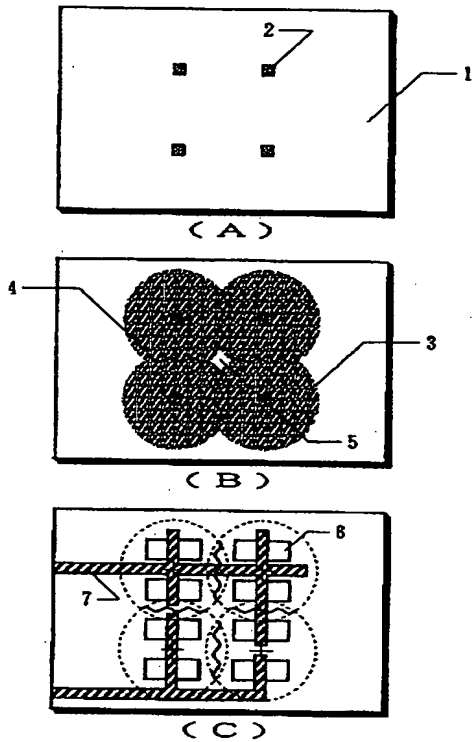
【図 7】 実施例の工程の断面図を示す。(実施例 4 参照)

【符号の説明】

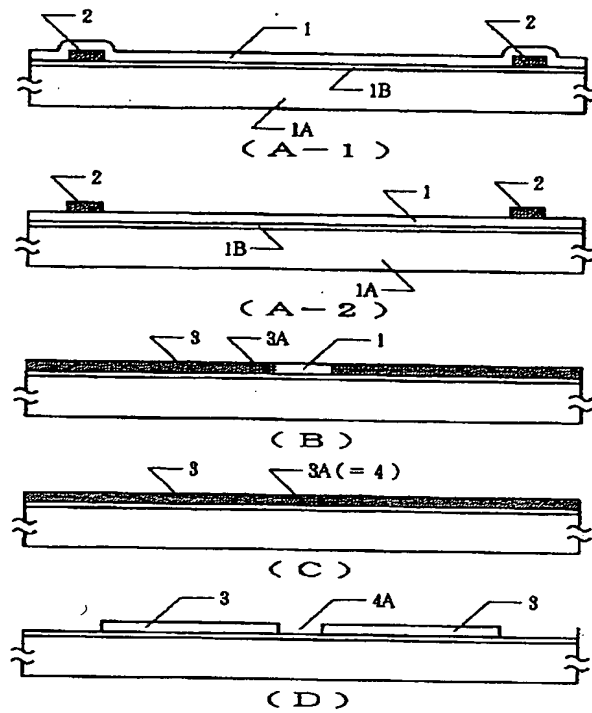
- 1 ……アモルファスシリコン
2 ……島状ニッケル膜

- 3 ……結晶シリコン
4 ……粒界
5 ……結晶化の進行していない領域
6 ……半導体領域
7 ……ゲイト配線

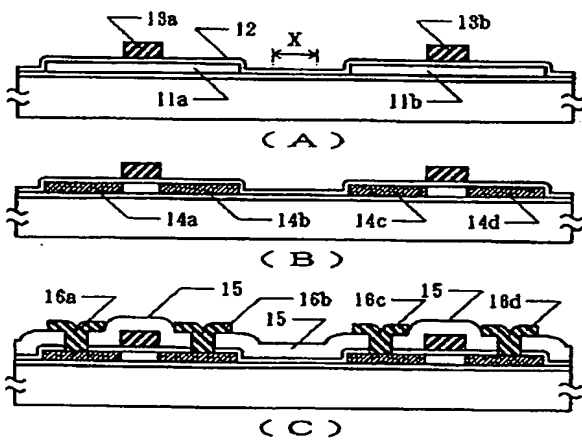
【図 1】



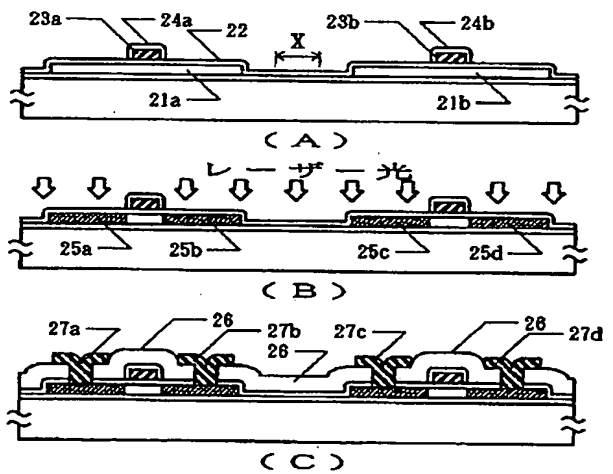
【図 2】



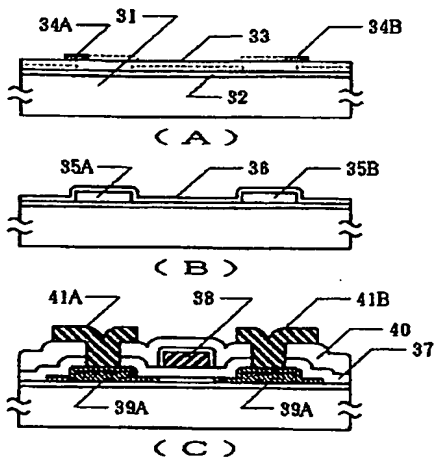
【図 3】



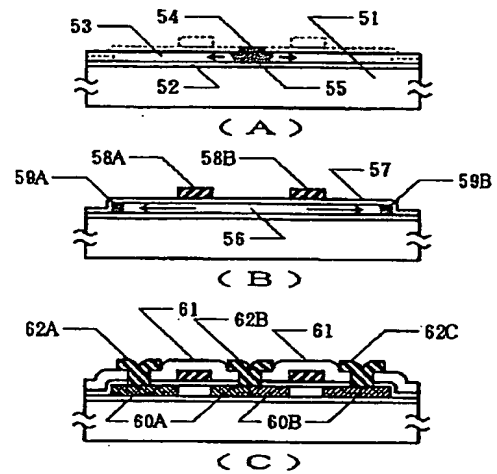
【図 4】



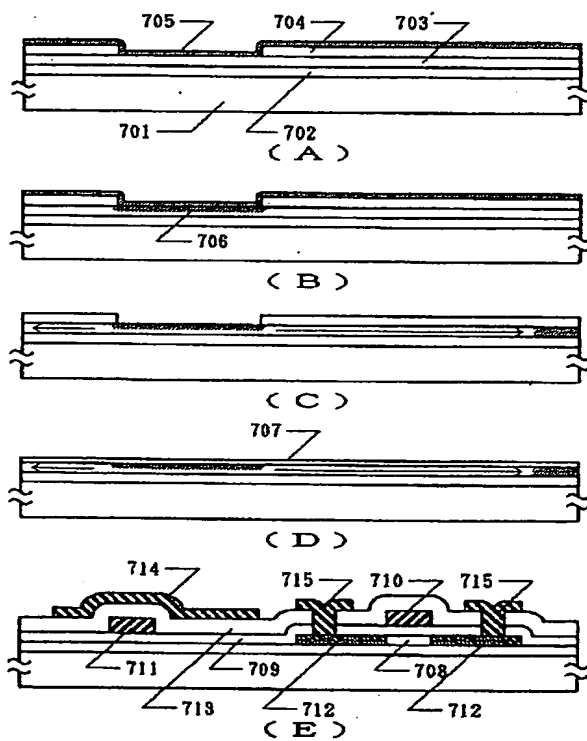
【図 5】



【図 6】



【図 7】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 21/336

識別記号

片内整理番号

F I

技術表示箇所

(72)発明者 福永 健司
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 竹村 保彦
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内